

Sujet de thèse: Co-conception et exploration d'architectures multi-cœurs pour applications à flot de données

🔑 **Mots-clés:** RISC-V, Synchronous Data Flow (SDF), co-design, multi-core heterogeneous architectures, hardware/software co-simulation

Informations pratiques:

📖 **Niveau attendu:** Bac +5 (M2 ou équivalent)

📍 **Lieu:** Laboratoire IMS, Bordeaux (33)

📅 **Date prévue de démarrage:** 1er octobre 2026

👤 **Encadrement:**

- Camille Leroux camille.leroux@ims-bordeaux.fr
- Mathieu Escouteloup mathieu.escouteloup@ims-bordeaux.fr

Contexte scientifique:

Les applications de traitement de flot de données sont omniprésentes dans les systèmes numériques modernes, notamment en télécommunications et en intelligence artificielle embarquée. Ces applications peuvent être modélisées efficacement par des graphes de type *Synchronous Data Flow* (SDF) [1], dans lesquels les nœuds représentent des opérations de calcul et les arêtes des flux de données.

Des outils logiciels tels que AFF3CT et StreamPU [2] ont montré qu'il est possible d'exploiter efficacement le parallélisme sur des architectures multi-cœurs existantes. Cependant, ces approches reposent sur des architectures généralistes et ne permettent pas d'optimiser la structure matérielle pour un algorithme spécifique.

Une question scientifique majeure reste donc ouverte : comment explorer et évaluer automatiquement des architectures multi-cœurs adaptées à un graphe SDF donné ?

Sujet:

L'objectif de cette thèse est de développer une méthodologie centrée sur la simulation et l'analyse architecturale, permettant de :

1. Modéliser précisément des architectures multi-cœurs hétérogènes, comprenant des cœurs RISC-V [3], des FIFO hardware et des hiérarchies mémoire [4], et d'exécuter des applications SDF en mode bare-metal.
2. Analyser l'impact architectural sur les performances (IPC, latence, débit, consommation énergétique, contention mémoire et communication).
3. Générer automatiquement des architectures ciblées à partir de graphes SDF, en optimisant la répartition des nœuds, le pipeline de calcul et les communications entre cœurs.

La thèse se déroulera en quatre grandes étapes. La première étape consistera à modéliser et simuler des architectures multi-cœurs hétérogènes, en incluant des cœurs RISC-V, des FIFO hardware et des hiérarchies mémoire, afin d'exécuter des applications SDF en mode bare-metal et d'analyser les performances.

La deuxième étape portera sur l'identification des goulots d'étranglement et l'analyse des interactions entre cœurs pour déterminer les points d'optimisation possibles.

La troisième étape consistera à développer des méthodes de génération automatique d'architectures ciblées à partir de graphes SDF, incluant la répartition des nœuds, la création de pipelines de traitement et la définition des communications inter-cœurs.

Enfin, la dernière étape visera à valider les architectures prometteuses par simulation et, si possible, par prototype FPGA, afin de comparer les résultats avec les mesures réelles et affiner la méthodologie.

Applications visées:

- Chaînes de communication numérique (ex. DVB-S2).
- Traitement de signal pour radio logicielle.
- Réseaux de neurones embarqués et inférence en temps réel.

Équipe d'accueil:

L'équipe **Conception de Systèmes Numériques (CSN)** du laboratoire IMS développe des activités de recherche autour de la thématique générale de l'adéquation algorithme-architecture. Constituée de 3 Professeurs, 3 maîtres de conférences et de 18 doctorants, l'équipe dispose d'une expertise reconnue dans divers champs thématiques tels que la conception de circuits intégrés mixtes, l'architecture des processeurs, les systèmes embarqués ou bien encore la conversion analogique numérique. Les activités de l'équipe adressent des domaines applicatifs allant des systèmes de communications numériques au traitement du signal radar en passant par les réseaux de neurones ou la sécurité matérielle.

Profil recherché:

Le ou la candidat(e) doit être issu(e) d'un Master 2 ou d'une formation d'ingénieurs en électronique, informatique ou télécommunications. Notamment, des connaissances dans les domaines suivants sont attendues:

- Architecture des processeurs,
- Conception de circuits numériques,
- Compilation.

Le ou la candidat(e) doit également avoir un intérêt particulier pour la co-conception matérielle/logicielle et l'exploration architecturale. Une première expérience (projet ou stage) d'utilisation des outils suivants est attendue:

- Langage C/C++,
- Langage VHDL / Verilog / SystemVerilog / Chisel.

Pour candidater, veuillez nous envoyer votre CV, une lettre de motivation et vos résultats académiques.

La date limite de candidature est le 19 avril 2026.

- [1] D. Orhan et al., "Optimal Scheduling Algorithms for Software-Defined Radio Pipelined and Replicated Task Chains on Multicore Architectures," *Journal of Parallel and Distributed Computing*, vol. 204, p. 105106, Oct. 2025, doi: 10.1016/j.jpdc.2025.105106.
- [2] A. Cassagne, R. Tajan, O. Aumage, C. Leroux, D. Barthou, and C. Jégo, "StreamPU: A DSEL for High Throughput and Low Latency Software-Defined Radio on Multicore CPUs," *Concurrency and Computation: Practice and Experience*, vol. 35, no. 23, p. e7820, 2023, doi: 10.1002/cpe.7820.
- [3] A. Waterman, K. Asanović, and J. Hauser, "The RISC-V Instruction Set Manual: Volume I, Version 20260120." [Online]. Available: https://docs.riscv.org/reference/isa/_attachments/riscv-unprivileged.pdf
- [4] J. W. Faye et al., "Scratchy: A Class of~Adaptable Architectures with~Software-Managed Communication for~Edge Streaming Applications," in *Design and Architectures for Signal and Image Processing*, T. Dias and P. Busia, Eds., Cham: Springer Nature Switzerland, 2024, pp. 68–79. doi: 10.1007/978-3-031-62874-0_6.